

# 行政院國家科學委員會專題研究計畫 成果報告

## 銅內導線晶片之金凸塊與銅錐墊熱音波接合製程研究(II)

計畫類別：個別型計畫

計畫編號：NSC94-2212-E-040-001-

執行期間：94年08月01日至95年07月31日

執行單位：中山醫學大學職業安全衛生學系

計畫主持人：莊正利

計畫參與人員：廖慶安

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 95 年 10 月 3 日

# 行政院國家科學委員會專題研究計畫成果報告

計畫名稱：銅內導線晶片之金凸塊與銅錐墊熱音波接合製程研究(II)

計畫編號：NSC-94-2212-E-040-001

執行期限：2005.08.01 至 2006.07.31

主持人：莊正利 中山醫學大學職業安全衛生學系

計畫參與人員：廖慶安 國立中正大學機械工程研究所

As semiconductor device are reducing in scale, the flip chip assembly becomes an attractive scheme for use in high performance and miniaturized microelectronic packaging. In this study, thermosonic bonding was applied to a chip with gold bumps flip bonding to an alumina substrate with a copper conductor. The gold bumps were first thermosonic boned on the chip based on the conventional wire bonding process, and a chip with gold bumps was then flip onto an alumina substrate using thermosonic bonding. A silver bonding layer and a diffusion barrier layer of titanium were deposited on the surface of copper conductor to improve the bondability and bonding strength. One hundred percent can be achieved for a chip with gold bumps onto a substrate using appropriate bonding parameters. The bonding strength is much greater than that stated in JEDEC standards. The effects of three bonding parameters on the bonding strength were investigated, including bonding force, ultrasonic power and bonding time. The reliability of the high temperature storage test also was verified in this study. The experimental results indicted that bonding strength increases with increase bonding force form 300 to 995gf, and then bonding strength maintains a steady value after bonding force higher than 995gf. A high ultrasonic power results in greater bonding strength since more thermal energy could promote the inter-diffusion between the silver bonding layer and gold bumps. The bonding strength did not degrade after prolonged storage at elevated temperature after HTS test. Thus, the reliability of HTS for gold bumps onto the silver bonding layer is not a serious concern. According to experimental results in this work, the chip with gold bumps flip bonding to the silver bonding layer not only provide an excellent bonding strength and bondability, but also has a greater reliability for the HTS test. This technology has a potential to be applied to the electronic packaging or LED packaging.

**Keywords: Thermosonic flip-chip bonding, copper pads, high temperature storage.**

隨半導體製程技術發展日益成熟，晶片單位面積之接點數大幅上升，面積陣列式覆晶接合技術已逐漸取代傳統熱音波錐線製程。本研究將發展成熟之熱音波鍵合技術應用於金凸塊與氧化鋁基板之覆晶製程，先以熱音波錐線製程將金凸塊接著於矽晶片上銅錐墊，陶瓷基板之銅電極鍍著鈦膜擴散阻絕層與銀膜接著層，再以熱音波覆晶接合機將錐著金凸塊之矽晶片接合於陶瓷基板，完成晶片上板(COB)製程。本研究除探討製程參數對覆晶接合之接著率與接合強度影響外，並驗證覆晶接合後之高溫儲存可靠度。由實驗結果得知於適當參數範圍，矽晶片與鍍著鈦擴散阻絕層及銀接著層陶瓷基板之錐著率達100%，且由推力測試得知，接合強度遠高於業界規範之要求。製程參數對接合強度之探討包含下壓力、超音波功率與錐合時間，下壓力與接合強度成正比，提高下壓力有助於金凸塊與陶瓷基板之緊密接合，但該下壓力超過995(gf)，接合強度趨於穩定值；提高超音波功率可有效提高金凸塊與陶瓷基板之錐著強度，因超音波功率可有效提高接合溫度，促進金、銀原子之交互擴散，進而提高接合強度；錐著時間則為0.5秒為最佳，時間太短無法提供接合所需之足夠能量，時間太長造成部分金凸塊由矽晶片側剝離，進而降低整體之接合強度；經高溫儲存測試得知，矽晶片與陶瓷基板之接合強度不隨持溫時間增加而降低，且接合介面無孔洞或裂縫等缺陷，推論金凸塊與銀接著層之熱音波覆晶接合製程應無高溫儲存可靠度之疑慮，故此一製程深具應用於發光二極體(LED)或低接點數(Low pin counts)晶片封裝之潛力。

**關鍵詞：熱音波覆晶接合、銅錐墊、高溫儲存測試**

## 1.前言

覆晶技術起源於 1960 年代，由 AT&T 公司所提出，後由 IBM 公司開發出控制接點高度之 C4 製程(controlled collapse chip connection) [1]，從構想提出至今約有三、四十年歷史，近年來成為最受重視之微電子構裝接合技術，其主要原因為有效縮小構裝成品體積，以配合目前電子產品輕、薄、短、小之需求。目前各界全力投入研究，期使商品化的銅製程晶片(chips with copper interconnects)發展更為完備，銅晶片發展技術瓶頸為晶片內導線間距縮小至次微米(sub-micron range)後，晶片內導線電阻(resistance)與電容(capacitance)成積急遽升高[2]，較高 RC 值造成訊號傳輸速度減慢，在無可避免晶片內導線日益細微化趨勢下，改善訊號延遲最佳辦法為選擇低介電常數之介電材料與電導性較佳之銅金屬取代傳統之鋁導線[3]。覆晶接合製程之訊號係由晶片底部傳入或輸出，而錫線製程則由晶片上之錫墊(bond pad)連接至引腳架(leadframe)上，訊號輸出路徑遠較覆晶接合為長，阻抗較高，故對高頻(radio frequencies; RF)通訊晶片而言，覆晶接合較錫線製程適合[4]。

覆晶製程亦存在應用上限制，傳統之錫球陣列封裝(ball grid array)為降低錫球之熔點溫度，於錫球中加入鉛元素，對環境生態造成污染；此外為使鉛錫凸塊(bump)形成圓球狀，需於製程中進行迴錫(reflow)，一般材料之迴錫溫度之設定為其熔點溫度再加上 40 [5]，微電子元件在此溫度下易形成熱應力(thermal stress)，影響電子元件之接合強度與可靠性。

錫線凸塊式覆晶製程(stud bump bonding for flip chip process)有別於傳統之覆晶製程，傳統製程係將錫膏以網板印刷方式鍍著於錫墊上方之凸塊金屬層，再行回錫成錫球，另一種方式則是利用微影、蝕刻方式鍍上錫金屬，再回錫成錫球[6]，上述兩種錫球製作製程均需利用塗佈、微影、蝕刻等製程，故稱為濕式凸塊接合技術，而錫線凸塊式覆晶製程係以熱音波錫線接合製程於晶片錫墊上形成第一球形錫點(ball bond)，隨後將金線扯斷，於錫墊表面形成金的凸塊(Au bump)[7]，並利用金凸塊與基板(substrate)接合，故錫線凸塊式覆晶製程又稱為乾式凸塊接合製程。相較傳統之錫球凸塊與錫線凸塊製作過程，錫線凸塊式覆晶製程相對簡單、且無蝕刻製程，故對環境污染相對大幅降低，製作廠商亦無須負擔廢水、溶劑之處理設備與費用。

錫線凸塊式覆晶技術融合熱音波錫線製程與傳統鉛/錫凸塊覆晶技術之優點而成，不僅可形成面積陣列之封裝，訊號傳遞路徑遠較熱音波錫線製程為短，訊號傳輸線電阻較低，有效提高訊號傳輸速度，適合於高頻通訊晶片之接合技術。此外，錫線凸塊覆晶接合製程無須使用微影、蝕刻等技術且金球凸塊不含鉛元素之污染物，故符合綠色環保工業之高度要求；且金球凸塊無須進行迴錫製程，接合介面無熱應力產生，接點之可靠性遠應較傳統之鉛錫凸塊覆晶技術為佳。

目前市售之記憶體模組或是發光二極體，為求

得更快訊號傳遞速度或降低訊號傳遞過中之電阻，降低元件或裝置所需電功率(power)，該晶片之內導線層均由過去之鋁導線轉換為銅導線，然銅金屬在大氣氣氛中易形成氧化層，該氧化層對後續封裝形成嚴重衝擊，故由過去研究結果中，已成功開發三項技術，使金線經熱音製程(thermosonic wire bonding)順利與銅錫墊於大氣下接合；該技術分別於銅錫墊表面鍍著一層奈米等級之鈦膜[8]，而該鈦膜於大氣下形成二氧化鈦之類陶瓷材料，進而保護下層之銅錫墊免於氧化，而該二氧化鈦薄膜於熱音波接合過程中，由超音波功率將其刮除，使金線與銅錫墊鍵結。此外，於熱音波錫線機上架設惰性氣體噴嘴，於適度供應惰性氣氛下，形成一保護區域，使金線與銅錫墊得以接著[9]，另一方法則於銅錫墊表面鍍著一層抗氧化性較佳且電阻遠低於銅錫墊之銀接著層[10]，該接著層可提供較佳之接著性，且不影響銅錫墊之電性。

本研究沿用過去研究金凸塊錫著於矽晶片之技術[11]，將金凸塊錫著於矽晶片，並於陶瓷基板銅電極表面鍍著銀接著層與鈦膜擴散層，銀膜接著層之目的在於提高金凸塊與銅電極於熱音波覆晶接合之強度，而鈦膜擴散阻絕層期望可阻止銅原子於熱音波接合過程中，擴散至銀接著層表面，對覆晶接合製程產生不良影響。

## 2.實驗方法

### 2.1試片製備

圖(一)所示為陶瓷基板上銅電極之鍍層示意圖，氧化鋁陶瓷基板以熱蒸鍍方式，先行著鈦黏著層(Ti adhesive layer)，目的在於提高氧化鋁基板與銅電極之鍍膜強度，隨後鈦膜擴散阻絕層表面熱蒸鍍銅膜(Cu film)、鈦膜擴散阻絕層(Ti diffusion barrier layer)與銀膜接著層(Ag bonding layer)，銅膜與銀接著層間，鍍著鈦膜擴散阻絕層之目的在於防止銅電極之銅原子於熱音波覆晶接合過程中，擴散至銀膜表面，進而形成氧化膜，對矽晶片與氧化鋁基板之接合產生不良影響。氧化鋁基板上銅電極之薄膜堆疊方式由內至外為  $Al_2O_3/Ti/Cu/Ti/Ag$ ，上述薄膜之參數如表(一)所示。氧化鋁基板之鈦黏著層、銅電極、鈦膜擴散阻絕層與銀接著層之厚度分別為 0.1 $\mu m$ 、1.2 $\mu m$ 、0.5 $\mu m$ 與 0.5 $\mu m$ 。

### 2.2覆晶接合製程

矽晶片與氧化鋁基板之覆晶接合實驗設備，採用工研院南分院自行研發之全自動熱音波覆晶接合機(automatic thermosonic flip-chip bonder)，矽晶片先以熱音波植金凸塊後，再將該矽晶片反轉貼合於氧化鋁基板上，輔以下壓力(bonding force) 超音波能量(ultrasonic power)與加熱載台之熱能(thermal energy)，將金凸塊直接錫著於氧化鋁基板上，並逐一探討覆晶接合製程中之重要參數對接合強度之影響，如下壓力、超音波功率與錫著時間等；隨後以 Royce 552 推力機檢測矽晶片與氧化鋁基板銅電極之接合強度(bonding strength)，檢測矽晶片與氧化鋁基板之接合強度時，推刀(ball-shear tool)高度維持在氧化鋁基板上約 15 $\mu m$ ，每一推力值至少取 15 個矽晶片之推力平均值，輔由電子顯微鏡

(SEM)觀察推力測試後之殘留金凸塊，以判斷矽晶片經推力測試之破壞模式。並以電子顯微鏡觀察覆晶接合後之橫截面(cross-section)，量取金凸塊直徑之變形量並觀察其接合介面之完整度。高溫儲存測試(high temperature storage test, HTS)驗證則在高溫(250 °C)，不同持溫時間下，分析矽晶片與氧化鋁基板接合強度之變化，用以驗證此一接合技術於高溫儲存之可靠度。

### 3.結果討論

#### 3.1矽晶片與氧化鋁基板之鍍著率(bondability)

測試鍍著金凸塊之矽晶片與氧化鋁基板接合之鍍著率，將矽晶片以熱音波覆晶機接著於氧化鋁基板上之銅電極，其熱音波接合條件為：下壓力995(gf)、熱音波功率4.52(W)、加熱載台溫度為200 °C、鍍接時間0.5(s)，以相同之接合條件將15個矽晶片鍍著於氧化鋁基板上，其覆晶接合後之外觀如圖(二)所示，可清楚發現15個矽晶片均成功鍍著於氧化鋁基板上，該鍍著率高達百分之百，此一結果可推論銅電極上之鈦擴散阻絕層於熱音波覆晶製程中，防止銅原子擴散至銀接著層表面，進而防止氧化銅膜之產生，且銅電極表面之銀膜接著層與金凸塊展現優異之接合性質，提升矽晶片與陶瓷基板之覆晶鍍著率，該結果亦與筆者過去之研究結果相符[10-11]。

#### 3.2矽晶片與基板之鍍著強度(bonding strength)

熱音波覆晶接合製程主要之接合能量(bonding energy)包括超音波功率與加熱載台之熱能，為避免損傷封裝之半導體元件，無法於高溫下進行接合，故本實驗之接合溫度均固定於200 °C，改變超音波輸出功率，探討超音波功率對矽晶片與氧化鋁基板接合強度之改變量。由實驗結果顯示，提高熱音波覆晶接合機之超音波輸出功率，可有效提高矽晶片與氧化鋁基板之接合強度，如圖(三)所示，當超音波輸出功率為0.88(W)時，其接合強度平均值約為420(gf)，若觀察其橫截面如圖(四)所示，可發現金凸塊與銀接著層之接合面直徑僅有54.7 $\mu$ m，顯示其接合能量太低且不足以讓金凸塊產生變形而接合，故其接著強度較低；若以較高超音波輸出功率4.52(W)時，可使金凸塊產生變形，與銀接著層之接合直徑為121.2 $\mu$ m，如圖(五)所示，較高超音波功率可使金凸塊產生變形，提高金凸塊與銀接著層之接合面積，故其接合強度隨之提高。而比對JEDEC規範對金凸塊之接合標準[12]，當其金凸塊接合直徑達4.75mil(121  $\mu$ m)時，每一金凸塊接合強度之最低平均值為85(gf)，在此一實驗中，每一個矽晶片共有8個金凸塊，經換算其接合最低平均值為680(gf)，由圖(三)發現較高超音功率之平均接合強度約為1200(gf)，該值遠高於JEDEC規範之最低要求，由此顯示金凸塊與銀接著層優異之接著強度；觀察較低超音波功率0.88(W)之接合強度，金凸塊之接合直徑比對JEDEC規範之最低要求值約為160(gf)，而其接合強度平均值為420(gf)，該值亦遠高JEDEC規範之最低要求。金凸塊與銀接著層之接合強度在超音波輸出功率之最低與最高值均遠高規範之最低要求，證明金凸塊與銀接著層之優異接

合性質，而該優異之接合性質亦可由圖(四)與圖(五)橫截面介面接合處無孔洞或裂痕存在，再次得以驗證。此外，超音波功率除可讓金凸塊產生變形，提高其接合強度外，接合介面溫度之提升，促進金、銀原子之交互擴散(inter-diffusion)，亦為提高其介面接合強度之原因。

固定熱音波覆晶接合參數(超音波功率 4.52 W、接合時間 0.5 s、載台加熱溫度 200 °C)，僅討論下壓力(300-1410 gf)改變量對接合強度之影響，如圖(六)所示，金凸塊與銀接著層之接合強度與下壓力成正比，當負荷為 300(gf)時，接合強度平均值約為 350(gf)，金凸塊之橫截面接合直徑約為 126.7  $\mu$ m，如圖(七)所示，比對 JEDEC 規範之最低平均接合強度之要求值約為 720(gf)，其接合強度低於規範要求，故該組參數組合不佳，反觀將下壓力提高至 995gf，該平均接合強度約為 1200(gf)，遠高於規範要求。觀察推力測試後，陶瓷基板殘留金凸塊如圖(七)所示，該陶瓷基板上無任何殘金，其破裂處發生於金凸塊與銀接著層之接合介面，推力測試時，金凸塊由接合介面剝離(peel off)，顯示金凸塊與銀接著層之接合強度不佳，此結果可輔助說明圖(六)所示，較低下壓力之平均接合強度不佳，推論其原因為下壓力不足，無法使超音波功率傳導至接合介面。比對探討超音波之結果發現，超音波功率主導金凸塊之變形量，而較大下壓力可讓金凸塊與銀膜緊密接觸，並藉由超音波功率讓金凸塊與銀膜鍵結。當下壓力大於 995gf 時，金凸塊與銀膜接著層之平均接合強度幾乎維持一固定值，推論其原因為下壓力大於 995gf 可使金凸塊與銀膜緊密接合，超音波功率可傳遞至金凸塊與銀膜接合介面，進而產生鍵結，故金凸塊與銀膜之接合強度應由超音波功率所主導。

討論接合時間(bonding time)對金凸塊與銀膜接合強度之影響，將製程參數固定(超音波功率 4.52 W、下壓力 995 gf、載台加熱溫度 200 °C)，改變接合時間從 0.2-1.0 秒，其結果如圖(八)所示，接合時間約在 0.5 秒時，金凸塊與銀接著層之強度最佳，較低與較長接合時間對平均結合強度之影響不大，該接合強度均高於規範最低平均值之要求。由接合介面觀察得知，若接合時間太長，總輸入之超音波功率較大，致使部分金凸塊與矽晶片接合處分離，如圖(九)所示，造成矽晶片與氧化鋁基板之接合強度下降；若接合時間較短，總輸入之超音波功率能量較低，金凸塊與陶瓷基板無法完全接合，觀察推力測試後之殘金量，發現氧化鋁基板金之凸塊留量較少，但仍可清楚發現材料鍵結之痕跡，如圖(十)所示，故其平均接合強度雖較低，但仍高於 JEDEC 規範之最低要求值。

綜整探討參數與平均接合強度之關係，可推論熱音波覆晶接合製程中，超音波功率對接合強度之影響最大。此外，較大下壓力可使金凸塊與銀接著層產生緊密接觸，有助於超音波功率傳遞至金凸塊與銀膜接著層介面，進而提升金凸塊與銀膜之接合強度。經個別參數對接合強度探討結果，可歸納金凸塊與銀膜接著層最佳之組合參數為：超音波功率 4.52 W、下壓力 995 gf、載台加熱溫度 200 °C 與接合時間為 0.5 秒。

### 3.3破裂模式分析(analysis of failure mode)

金凸塊接合於陶瓷基板上之銀膜後，以推力方式(die-shear test)測出矽晶片與陶瓷基板之接合強度，殘留於矽晶片或氧化鋁基板之金凸塊可作為判斷推力測試之破裂模式。以本實驗所得之最佳參數進行覆晶接合後之矽晶片與基板，推力測試後之殘金如圖(十一)所示，該破壞模式分為兩種，分別為從金凸塊處破裂或是金凸塊連同鍍層薄膜破裂，前者之破裂模式顯示金凸塊與銀膜之接合強度遠高於金凸塊之強度，此種破壞模式證實選用適當之熱音波參數鍍著金凸塊於銀接著層，可得優異之鍍著強度，其結果與圖(三)結果相符。若由薄膜鍍層破裂顯示金凸塊與銀接著層之接合強度遠高鍍層間之接合強度，而從圖(三)之接合強度顯示該接合強度均遠高於規範所要求之最低值，故兩種破裂模式均能再次驗證金凸塊與銀接著層之優異接合性質。

### 3.4高溫儲存可靠度分析(HTS analysis)

將矽晶片覆晶接合至氧化鋁基板之四組試片放置加熱爐中，進行高溫儲存之可靠度測試，加熱溫度與持溫時間分別為250、100小時，每隔25小時取出一組試片，進行推力測試，以接合強度判斷高溫儲存之可靠度，實驗結果如圖(十二)所示，其平均接合強度值隨加熱時間增長而提高，推測其原因為熱能促使金、銀原子於加熱過程中之交互擴散，進而提高其接合強度，此結果亦證明矽晶片與陶瓷基板之接合強度不隨持溫時間增加而降低，且其接合介面並無孔洞或裂縫產生，推論其該覆晶接合製程應無高溫儲存之可靠度疑慮。

## 4. 結論

由上述實驗結果可歸納出下列結論：

1. 金凸塊與銀接著層於適當參數條件下，可得百分之百之鍍著率與優異接合強度，該接合強度遠高於JEDEC規範要求之最低平均值。
2. 熱音波覆晶接合製程參數中，超音波功率對接合強度之影響最大，若超音波功率太小，無法使金凸塊產生變形，而下壓力太小，亦無法讓超音波能量傳遞至接合介面，進而影響矽晶片與氧化鋁基板之接合強度，對金凸塊與銀膜接著層而言，最佳熱音波覆晶參數：超音波功率 4.52 W、下壓力 995 gf、載台加熱溫度 200 與接合時間為 0.5 秒。
3. 矽晶片與氧化鋁基板之高溫儲存實驗結果，證明矽晶片與陶瓷基板之接合強度不隨持溫時間增加而降低，且其接合介面並無孔洞或裂縫產生，推論其該覆晶接合製程應無高溫儲存之可靠度疑慮。
4. 金凸塊與銀膜熱音波覆晶製程技術應用於發光二極體(LED)或低接點(Low pin counts)數晶片之封裝頗具發展潛力。

## 5. 誌謝

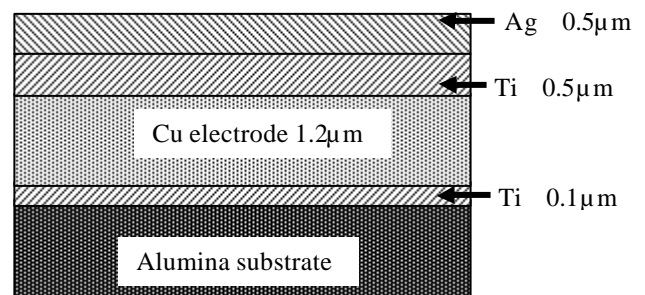
感謝國科會專題研究計畫案NSC-94-2212-E-

040-001於研究經費之支持，同時對工研院南分院雷射應用中心封裝設備組提供熱音波覆晶機與台大奈微米研究中心魏中聖博士於鍍膜之協助，至上最高謝意。

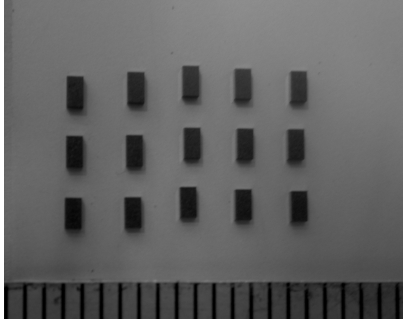
## 6. 參考文獻

1. E.M. Davis, W.E. Harding, R.S. Schwartz, and J.J. Corning, "Solid Logic Technology : Versatile High Performance Microelectronics, IBM J.Res. Develo., Vol. 8,1964, p 102
2. Kuo-Ming Chen, Kuo-Ning Chiang, Impact of probing procedure on flip chip reliability, Microelectronics Reliability, 43, 2003, pp.123-130.
3. M. Miyamoto, T. Takwda and T. Furusawa, IEEE Trans. Electron Devices,44, 250(1997).
4. G.Deltoro, N.Sharif, Copper interconnect: migration or bust, Internal electronic manufacturing technology symposium,1999,pp185-187.
5. M. Lozano, E. Cabruja, A. Collado, Bump Bonding Techniques, [www.cnm.es/projects/atlas/talks/bump](http://www.cnm.es/projects/atlas/talks/bump)
6. K. L. Lin, Y. T. Liu, IEEE Trans. Advanced Packaging, 22, 580(1999).
7. K. Amami, S. Yuhaku, T. Shiraishi," Stud bump bonding to an advanced organic substrate for MCM-L", International Conference Multichip Modules, 1997, p 109.
8. J.N. Aoh, C.L. Chuang, Journal of Electronic Materials, 33, 310(2004).
9. J. N. Aoh, C. L. Chuang, Journal of Electronic Materials, 33, 299(2004).
10. C.L. Chuang, J.N. Aoh, Journal of Electronic Materials, 35, 1673(2006).
11. C.L. Chuang, "Increasing of Bondability and Bonding Strength of Gold Stud Bumps onto Copper Pa.ds with a Deposited Titanium Barrier Layer", Microelectronics Engineering, in revision (2006).
12. EIA/JEDEC STANDARD, Wire Bond Shear Test, EIA/JESD22-B116, Electronic Industrial Alliance, Arlington, VA, 1998.

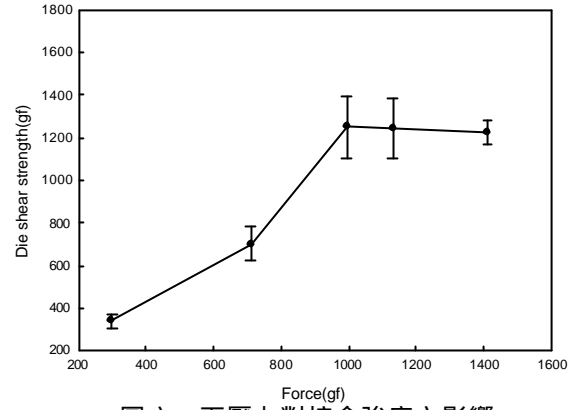
## 7. 圖表彙整



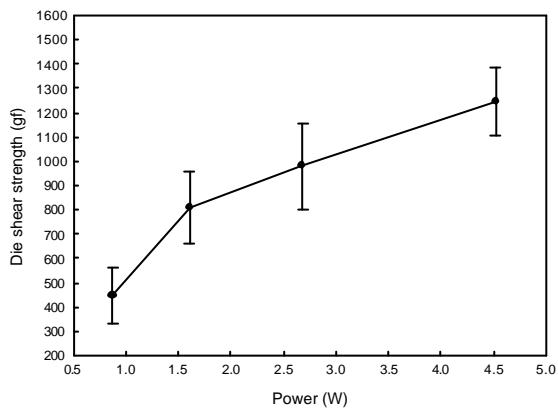
圖一、氧化鋁基板上銅電極薄膜結構示意圖



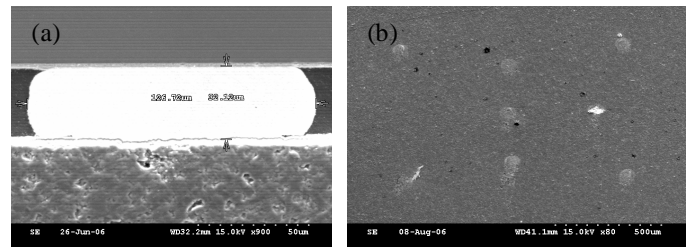
圖二、矽晶片覆晶接合於氧化鋁基板之示意圖



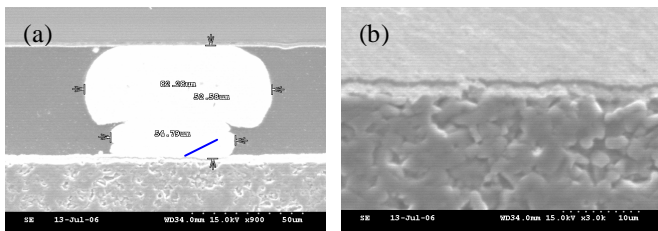
圖六、下壓力對接合強度之影響



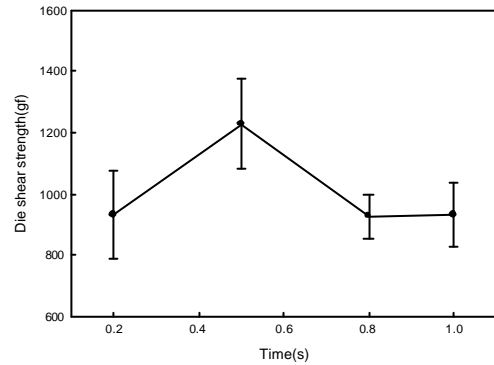
圖三、超音波功率對接合強度之影響。



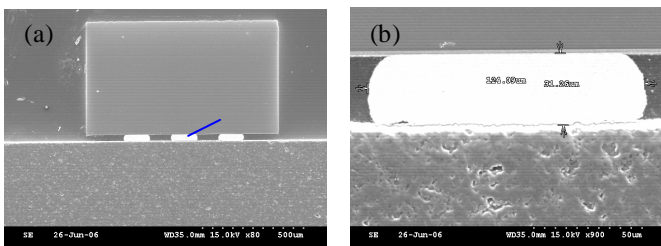
圖七、(a)金凸塊與氧化鋁基板接合之橫截面圖，(b) 推力測試後氧化鋁基板之殘金



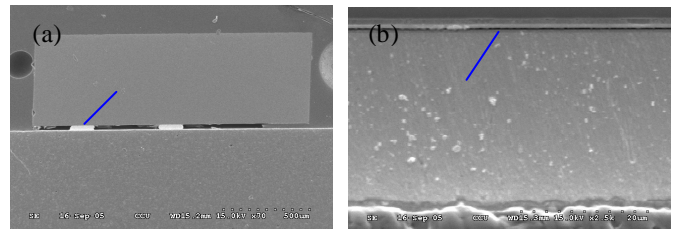
圖四、(a)金凸塊與氧化鋁基板接合之橫截面圖，(b) 左圖中箭號所示之放大圖



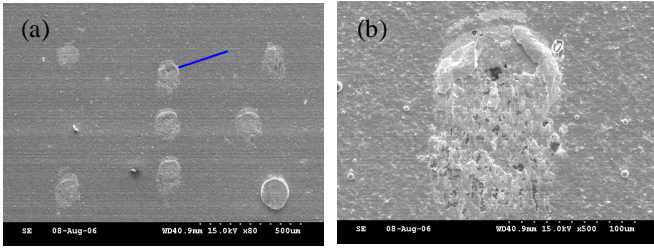
圖八、接合時間對接合強度之影響



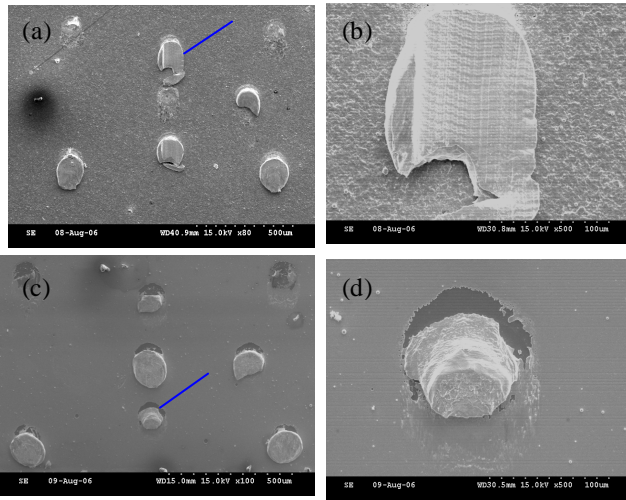
圖五、(a)金凸塊與氧化鋁基板接合之橫截面圖，(b) 左圖中箭號所示之放大圖



圖九、(a)金凸塊與氧化鋁基板接合之橫截面圖，(b) 左圖中箭號所示之放大圖，箭號所示為剝離之缺陷



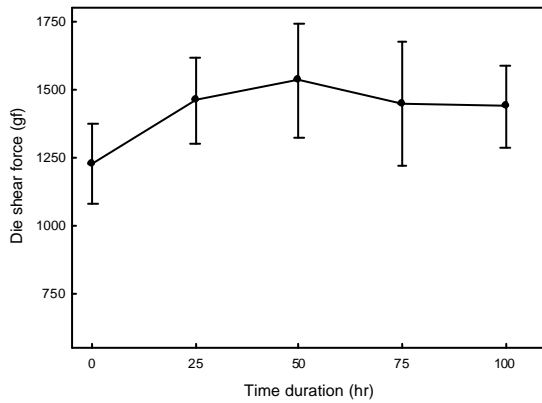
圖十、(a)推力測試後氧化鋁基板之殘金，(b)左圖中箭號所示之放大圖



圖十一、(a)推力測試後氧化鋁基板之殘金，(b)左上圖中箭號所示之放大圖，(c)推力測試後矽晶片上之殘金，(d)左下圖中箭號所示之放大圖

表一、銅電極鍍膜之熱蒸鍍參數

Parameters Layer	Power (kW)	E-Gun base pressure (Torr)	Pressure of film deposition (Torr)	Deposition rate(Å/s)
Silver	1.0	$9.8 \times 10^{-8}$	$2.3 \times 10^{-6}$	7.0
Titanium	0.7	$9.8 \times 10^{-8}$	$9.5 \times 10^{-7}$	5.0
Copper	250	$9.8 \times 10^{-8}$	$4.7 \times 10^{-6}$	10.2



圖十一、高溫儲存時間對接合強度之影響